

重新查詢

友善列印

0971學期 課程基本資料

系所 / 年級	資工系 2年級	課號 / 班別	64U00085 / A
學分數	2學分	選 / 必修	必修
科目中文名稱	數位系統邏輯設計實驗	科目英文名稱	Digital system logic design lab
主要授課老師	關國裕	開課期間	一學期
人數上限	58 人	已選人數	58人

起始週 / 結束週 / 上課地點 / 上課時間

第1週 / 第18週 / H103 / 星期3第05節
第1週 / 第18週 / H103 / 星期3第06節

請各位同學遵守智慧財產權觀念；請勿非法影印。

教學綱要

- 一、教學目標(Objective) 1.熟悉數位邏輯閘的各種功能 2.使用積體元件完成電路功能 3.熟悉數位電路的各種功能 4.使用硬體描述語言完成電路功能 5.培養數位系統設計的興趣，並啟發思考推理的能力
- 二、先修科目(Pre Course)
- 三、教材內容(Outline)
- 四、教學方式(Teaching Method) 講授、研討、專題實作、實驗習
- 五、參考書目(Reference) 數位系統設計王炳聰，王瑋民全威圖書有限公司出版

2008/9/18	利用邏輯閘做組合電路設計與模擬(Combinational Circuit Design and Simulation Using Gates)	關國裕
2008/9/25	利用邏輯閘做組合電路設計與模擬(Combinational Circuit Design and Simulation Using Gates)	關國裕
2008/10/2	多工器、解碼器與可程式規劃邏輯元件(Multiplexers, Decoders, and Programmable Logic Devices)	關國裕
2008/10/9	多工器、解碼器與可程式規劃邏輯元件(Multiplexers, Decoders, and Programmable Logic Devices)	關國裕
2008/10/16	門與正反器(Latches and Flip-Flops)	關國裕
2008/10/23	門與正反器(Latches and Flip-Flops)	關國裕

六、教學進度(Syllabi)

2008/10/30	暫存器和計數器(Registers and Counters)	關國裕
2008/11/6	暫存器和計數器(Registers and Counters)	關國裕
2008/11/13	Team Project or Mid-term Exam	關國裕
2008/11/20	時控式序向電路之分析(Analysis of Clocked Sequential Circuits)	關國裕
2008/11/27	時控式序向電路之分析(Analysis of Clocked Sequential Circuits)	關國裕
2008/12/4	狀態圖與狀態表之推導(Derivation of State Graphs and Tables)	關國裕
2008/12/11	狀態圖與狀態表之推導(Derivation of State Graphs and Tables)	關國裕
2008/12/18	狀態設定與狀態之化簡(Reduction of State Tables State Assignment)	關國裕
2008/12/25	狀態設定與狀態之化簡(Reduction of State Tables State Assignment)	關國裕
2009/1/1	序向電路之設計(Sequential Circuit Design)	關國裕
2009/1/8	序向電路之設計(Sequential Circuit Design)	關國裕
2009/1/15	Team Project or Final Exam	關國裕

七、評量方式(Evaluation)

Participation: 10% Team Project: 30% Mid-term Exam: 30% Final Exam: 30%

八、講義位址(<http://>)

九、教育目標

重新查詢