

# 使用 0.35 $\mu$ m CMOS 製程操作於 1.5V 915MHz 無線射頻識別系統詢答器之實作

## Implementation of 1.5-V 915MHz RFID Transponder by 0.35 $\mu$ m CMOS Process

黃繼進  
國立暨南國際大學電機系

許孟烈  
國立暨南國際大學電機系  
sheu@ncnu.edu.tw

### 摘要

本論文依據 ISO18000-6 之規範,使用 0.35 $\mu$ m CMOS 製程,設計一操作於 1.5V 915MHz 頻段的被動式詢答器,採用 ASK 調變方式,資料傳送速率可達到 250Kbps,功率消耗為 1.03mW。

### Abstract:

According to specifications of ISO18000-6, a 1.5V 915MHz RFID transponder is designed by using 0.35 $\mu$ m CMOS process. The transponder with ASK modulation can achieve 250Kbps data rate at 1.03mW power consumption.

**Keywords:** RFID, ASK, transponder, TG-VCO

### 一、簡介

無線射頻識別系統(Radio Frequency Identification, RFID)現今被廣泛的使用,如大賣場的出入防盜系統、貨物運輸的管理系統、人員或動物的動向追蹤、交通系統所使用的儲值卡等[5]。由於它比傳統的辨識系統誤判率來的低,而且傳統的條碼及磁條辨識系統,需要物件上的識別標籤(Tag)貼近讀取器(Reader),才能明確地讀到正確的資料。此外傳統的辨識系統還需要考量讀取器與標籤擺放的方向與位置,物件外面的塵污與封套皆會影響讀取器的可讀性。RFID 可以很容易地克服這些缺點,且隨著半導體技術日益進步,成本上也由於標籤大量地製造而降低了許多。

一般的被動式無線射頻識別系統是由應用系統(Application system)、讀取器(Reader)及詢答器(Transponder)三大部分組成,如圖 1 所示。其工作方式是從應用系統發送指令到讀取器,讀取器便產生一定頻率的電磁波,當詢答器進到讀取範圍內,詢答器便開始接收電磁波,藉著詢答器內的 RF to DC 電路,將 RF 訊號整流成直流的訊號,且儲存在一個電容裡以驅動後級所有電路的運作[1-3]。解調變電路(Demodulator)將讀取器傳遞過來的訊號解調變,也就是將載波移除以取得訊號。調變電路

(Modulator)將數位電路或微處理器處理過的訊號,調變後經由天線傳回讀取器。時脈產生器(Clock Generator)提供數位電路所需的參考時脈訊號。記憶體(Memory)依功能大致上可分為:(1)非揮發性記憶體(Non-volatile Memory):如可讀寫之 EEPROM、Flash 等記憶體;(2)唯讀記憶體(Read Only Memory):僅能讀取的 ROM 記憶體;(3)隨機存取記憶體(Random Access Memory):暫存用之 RAM 記憶體,一旦離開讀取器讀取的範圍內時,RAM 內的資料便會消失。

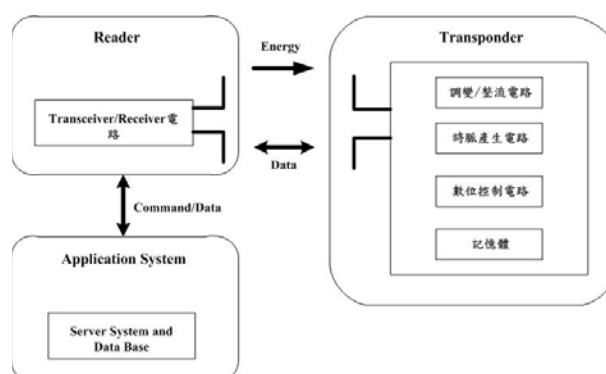


圖 1 RFID 系統架構圖

詢答器(Transponder)根據有無自有電源而區分成被動式詢答器(Passive Transponder)與主動式詢答器(Active Transponder)。被動式詢答器內不含電源,利用前級 RF to DC 的整流電路將 RF 訊號轉成直流訊號,對電容充電以供給整個詢答器運作的電壓,由於被動式詢答器的電源是由讀取器提供,其可傳遞的距離根據所使用的頻率而有差別,通常是比主動式詢答器來的短,因此其價格便宜了許多,而且壽命也較長,最重要的是其體積比較小,使得攜帶方便,可以大量的生產,如貼付商品的標籤、悠遊卡、一卡通,記憶體的容量也較小。

主動式詢答器本身含有電源,可以隨時傳遞資料給讀取器,其優點是傳遞距離可以較長、記憶體的容量更大、資料傳輸更穩定、抗雜訊的能力更好、且可供讀寫器進行讀取或寫入,但缺點便是較

被動式詢答器昂貴許多、使用壽命較短、體積較龐大。表 1 為被動式與主動式詢答器的比較[7]。

表 1 被動式與主動式詢答器的比較

比較項目	主動式詢答器	被動式詢答器
電源裝置	內含電源	不含電池
抗雜訊能力	較高	較低
設備體積	較大	較小
使用期限	較短	較長
感應距離	較長	較短
記憶體容量	較大	較小
價格	較貴	較低

RFID 在低頻應用已趨於成熟，在台灣低頻 (125KHz~135KHz) 頻段應用在動物晶片、門禁管理、汽車鑰匙等地方；在 13.56MHz 的高頻使用在圖書館、大眾運輸、門禁管理、悠遊卡、一卡通等；而在 860MHz~930MHz 與 2.45GHz 以及微波等超高頻以上的頻段，可以運用在國防上、醫護照護、防偽等地方。目前市面上的產品多以低頻為主，在超高頻(100MHz~960MHz)與微波較少看見，但是其具有天線面積較小、功率消耗較小，所以本論文以實現 915MHz 被動式 RFID 詢答器晶片為目標。

## 二、無線射頻識別系統的通訊方式

RFID 的讀取器與詢答器之間的通訊及傳能感應方式大致可以分成兩種，一種是感應耦合 (Inductive Coupling)，另一種則是後向式散射耦合 (Backscatter Coupling)。圖 2 為磁場感應耦合的方式，利用感應耦合以傳遞能量和訊號，通常為被動式詢答器所採用。感應耦合可以將讀取器與詢答器雙方的天線視為一變壓器以傳送能量，並且利用負載調變變壓器以傳送訊號，在傳送資料時，改變其負載使電流變化，而磁場也因此受到變化，感應磁場的變化即可感應出電流的變化。由於詢答器的能量全部來自於讀取器，因此在讀取器中的天線，必須產生足夠強的電磁場，而通常感應耦合使用在低頻段的範圍，使得讀取器與詢答器感應距離比較短。

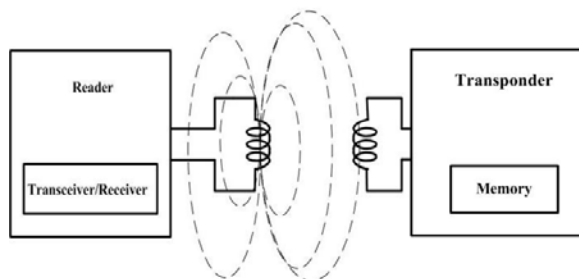


圖 2 磁場感應方式

圖 3 為後向散射耦合的方式，利用輸出數位資料而改變讀取器與詢答器天線的輸出阻抗，而詢答器為了能將資料回傳給讀寫器，在其天線端並聯一個負載  $R_L$ ，由回傳的數位訊號控制天線傳送或不傳送給讀寫器，讀寫器之天線所接收到的電磁波，再送至讀寫器中作判斷。

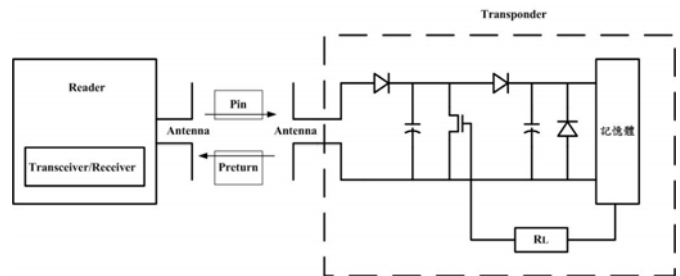


圖 3 後向散射耦合方式

在 RFID 系統中，讀取器與詢答器之間傳遞的媒介是以電磁波作為無線通訊，讀取器要傳遞到詢答器的訊號加上載波稱之為調變 (Modulation)，而將調變過的訊號除去載波稱之為解調變 (Demodulation)。調變的技術可以分為類比調變和數位調變兩種，藉由振幅、頻率與相位的變化而進行資料的調變。為了避免雜訊的干擾並求正確的資料傳輸，數位資料傳送常以移相鍵控 (Phase Shift Keying, PSK)、移頻鍵控 (Frequency Shift Keying, FSK) 與移幅鍵控 (Amplitude Shift Keying, ASK) 等方法來調變訊號。在 915MHz 的標準 ISO18000-6，如表二所示，是採用 ASK 方式，ASK 調變方式則利用了載波振幅的不同，來達到傳送不同的資料，舉例說明如圖 4。吾人是使用 ASK 100% 調變的 OOK (ON-Off Keying) 調變，OOK 調變是一種容易實現的調變方式，適合用在 RFID 系統上。

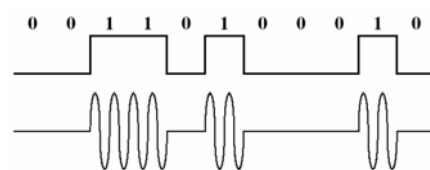


圖 4 ASK 調變

RFID 系統是以電磁波作為能量與資料傳遞的媒介，所以屬於無線系統，無線系統使用時必須選擇適當的工作頻段，避免干擾其他無線裝置的頻段或被其他的無線裝置所干擾。RFID 的工作頻段有 100-135KHz、13.56MHz、869MHz、915MHz、2.45GHz。915MHz 是屬於超高頻，為美國與澳洲所使用的頻段，使用後向散射耦合方式傳輸資料與能量，讀取距離在 1-10 公尺內，資料傳輸率為 40Kbps，具有快速的防碰撞 (Anti-collision) 程序，主要應用在貨車追蹤、通行費徵收系統。

表 2 ISO18000-6 規範

	ISO18000-6A	ISO18000-6B
頻段(MHz)	860 - 930	860 - 930
調變方式	ASK	ASK
Down link	33Kbps	8-40Kbps
Up link	40 Kbps	40 Kbps
防碰撞方式	Adaptive	Binary search

### 三、操作於 1.5V 915MHz 無線射頻識別系統詢答器之實作

無線辨識系統之詢答器的電路架構可以包含有 RF to DC 轉換器、壓控震盪器(Voltage Controlled Oscillator)、數位控制電路(Digital Control Circuit)及調變器(Modulator)，如圖 5 所示。吾人採用 TSMC 0.35 $\mu$ m 2P4M CMOS 製程來實現，為降低功率消耗，所設計的電路將操作在 1.5V 的電源。以下針對各子電路做一說明。

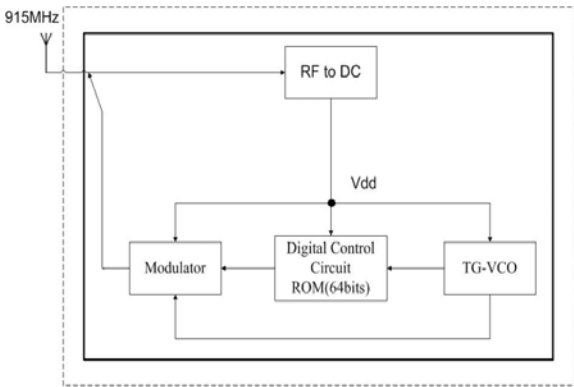


圖 5 詢答器之電路方塊圖

#### 3.1 RF to DC 轉換器

本實作的詢答器是採用被動式架構，本身不具電源，詢答器的所有能量是由讀取器發送的高頻電磁波而來，為了將入射的微小 RF 訊號轉換成直流電壓供給晶片使用，吾人參考 J. F. Dickson [6] 提出的電壓乘法器來設計，實作上則使用 NMOS 來取代蕭特基二極體，如圖 6 所示。

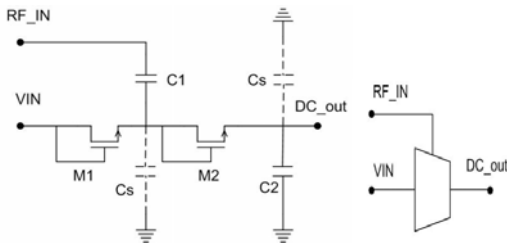


圖 6 RF to DC 轉換器之單級電路與示意圖

圖 7 為詢答器使用距離與傳輸功率關係圖 [5]，在 915MHz 讀寫器的傳輸功率 500mW EIRP 時，當天線與詢答器阻抗匹配時，詢答器可以得到最大功率。吾人設計是以較長距離應用之詢答器晶片為目的，當接收功率小於-3dBm 時傳輸距離可大於 1 公尺。所設計的 RF to DC 轉換器輸入阻抗為  $R_T + X_T$ ，如圖 8 所示，由 TSMC 所提供的技術文件，可推導出輸入等效阻抗為：

$$R_T + X_T \approx 1189.2 - j435 \quad (1)$$

利用推導出的等效阻抗代入-3dBm 的接收功率，可得到在此輸入功率，輸入的峰值電壓  $V_{IN}$  為

$$P_e = I^2 R_T < -3\text{dBm} \rightarrow I < 0.6491 \times 10^{-3} \quad (2)$$

$$V_{IN} = I (X_T^2 + R_T^2)^{0.5} < 821.9\text{mV} \quad (3)$$

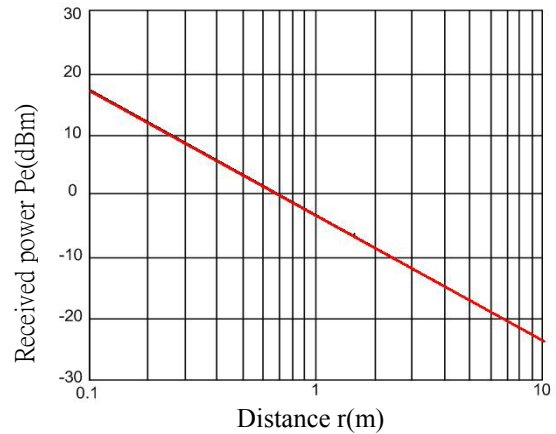


圖 7 詢答器使用距離與傳輸功率圖  $P_e(915\text{MHz}, 500\text{mW EIRP})$

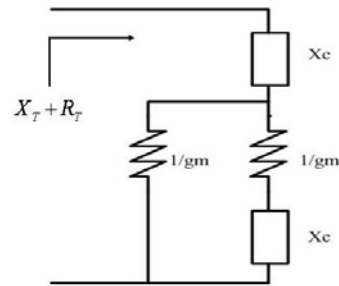


圖 8 RF to DC 轉換器輸入阻抗等效電路

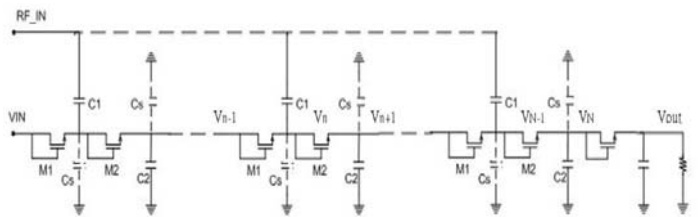


圖 9 串接 N 級之 RF to DC 轉換器電路圖

圖 9 為串接 N 級圖 6 的單級電路之 RF to DC 轉換器電路圖，每一級都有兩個輸入訊號，一為前一級的直流輸出電壓 DC\_out，另一個是由天線接收到的 RF\_in 訊號，每一級的 M1 與 M2 為 diode-connected 電晶體，C1 與 C2 為耦合電容，Cs 為耦合電容與基底之間的寄生電容。在每一個充電週期結束時，第 n 個與第 n+1 個節點電位差如 (4) 式所示

$$V_{n+1} - V_n = V_\alpha - V_T - V_L \quad (4)$$

$V_\alpha$  為每個端點的電壓擺幅，此電壓由耦合電容耦合高頻訊號而來， $V_T$  為 diode-connected 電晶體導通的順向電壓壓降， $V_L$  為當轉換器提供一輸出電流  $I_{out}$  時，耦合電容與寄生電容被放電的電壓。此處耦合電容  $C1=C2=C$ ， $V_\alpha$  為耦合容與寄生電容的分壓，如 (5) 所示

$$V_\alpha = \left( \frac{C}{C+C_s} \right) V_p \quad (5)$$

$V_p$  為 RF 輸入訊號之峰對峰值電壓，因為二極體在每個週期被充電的總電量為  $(C+C_s)V_L$ ，當 RF 輸入訊號的頻率為  $f$ ，則轉換器可提供的電流為  $I_{out} = f(C+C_s)V_L$ ，把 (5) 式與  $V_L$  代回 (4) 式可得 (6) 式

$$V_{n+1} - V_n = \left( \frac{C}{C+C_s} \right) V_p - V_T - \frac{I_{out}}{(C+C_s)f} \quad (6)$$

串接 N 級則可得到 (7) 式

$$V_N - V_{IN} = N \left[ \left( \frac{C}{C+C_s} \right) V_p - V_T - \frac{I_{out}}{(C+C_s)f} \right] \quad (7)$$

$V_{IN}$  為直流輸入電壓，於實際的設計上，於輸出端都會加上一個隔離二極體，避免訊號倒灌，故輸出電壓  $V_{out}$  如 (8) 式所示

$$V_{out} - V_{IN} = N \left[ \left( \frac{C}{C+C_s} \right) V_p - V_T - \frac{I_{out}}{(C+C_s)f} \right] - V_T \quad (8)$$

重新改寫一下，可以得到 (9) 式

$$V_{out} = V_{IN} + N \left[ \left( \frac{C}{C+C_s} \right) V_p - V_T \right] - \frac{N I_{out}}{(C+C_s)f} \quad (9)$$

所以 N 級倍壓電路的等效電路可以如圖 10 所示

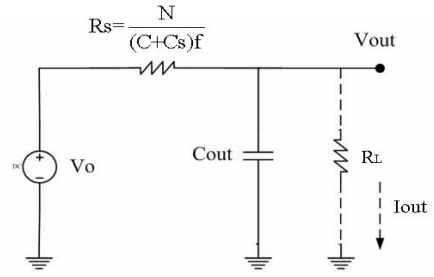


圖 10 串接 N 級之 RF to DC 轉換器等效電路圖

其輸出電壓可以表示成 (10) 式

$$V_{out} = V_o - I_{out} R_s \quad (10)$$

$$V_o = V_{IN} - V_T + N \left[ \left( \frac{C}{C+C_s} \right) V_p - V_T \right] \quad (11)$$

$$R_s = \frac{N}{(C+C_s)f} \quad (12)$$

由 (9) 式可以得知，影響 RF to DC 轉換器效能的因素有耦合電容與寄生電容的比例及 diode-connected 電晶體導通的順向電壓壓降。

圖 11(a) 為單級電路的模擬波形，輸入頻率 915MHz 的 RF 訊號，其峰值電壓 800mV，所以峰對峰電壓  $V_p$  為 1.6V，直流輸入電壓  $V_{IN}=0$ ，耦合電容  $C=0.8\text{pF}$ ， $V_T=578.3\text{mV}$ ， $C_s=11.6\text{fF}$ ，輸出電壓為 470 mV。串接 13 級可達到 1.5V 以提供後面電路正常運作，如圖 11(b) 所示。

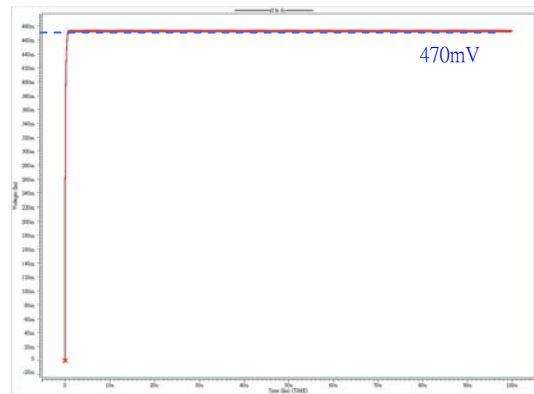


圖 11(a) 單級電路之模擬波形

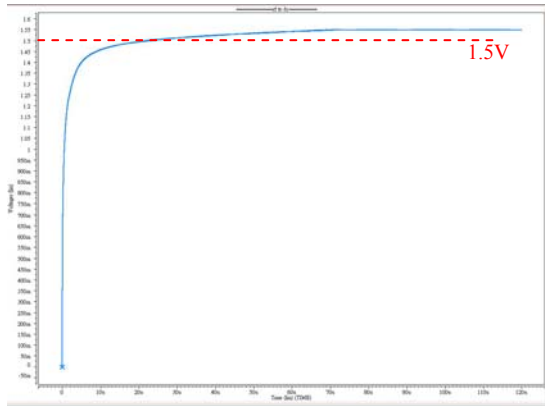


圖 11(b) 串接 13 級電路之模擬波形

### 3.2 三級的傳輸閘電壓控制震盪器(TG-VCO)

為了產生載波訊號以及數位控制電路的參考時脈，所以設計了一個傳輸閘電壓控制震盪器 [4]，如圖 12 是一個三級的傳輸閘電壓控制震盪器 (TG-VCO)，每一級的延遲是由一個傳輸閘和兩個電晶體所構成。以下簡單說明電路的工作原理，假如圖中 A 點初始時為從 V<sub>dd</sub> 到 Gnd 的下降訊號，此訊號會經過傳輸閘(M1 和 M2)而被延遲，延遲時間由傳輸閘電阻 R<sub>TG</sub> 控制。當信號傳到 B 點時，控制對 D 點先充電，再經過傳輸閘延遲到 C 點，如此循環下去。因此，完成一個震盪週期時，會經過以下的路徑：

A↓=>B↓=>D↑=>C↑=>E↓=>F↓=>B↑=>A↑ ...

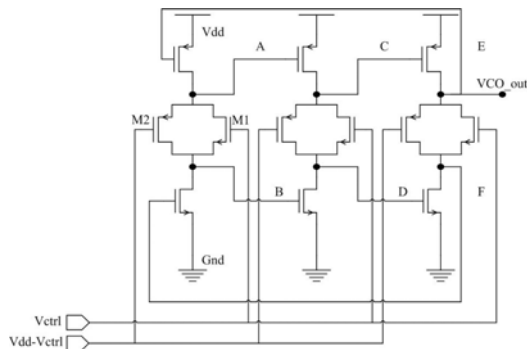


圖 12 三級的傳輸閘電壓控制震盪器(TG-VCO)

由 E 輸出震盪的頻率 VCO\_out，經過緩衝器後，將訊號提供給數位控制電路當時脈訊號使用。吾人設計的規格如下，當控制電壓 V<sub>ctrl</sub> = 0~1.5V、V<sub>dd</sub> - V<sub>ctrl</sub> = 1.5V~0V，調諧頻率為 0~550KHz。

由於振盪器的輸出要提供給數位控制電路作為時脈訊號使用，所以將振盪器輸出的弦波整波成方波，所以使用一個簡單的緩衝器達此目的。由於此振盪器所輸出是供給數位控制電路的參考時脈，吾人參考 ISO18000-6 之規範，而設計 data rate 為 250Kbps，因此設計 TG-VCO 振盪出 500KHz，經過與 TSPC 除二的電路，輸出 250KHz 時脈。

圖 13 為 VCO、緩衝器與 TSPC 模擬五個 corner case 電壓對頻率圖，由圖可知此 VCO 在五個模式裡均可以振盪。在 TT 模式中的調諧頻率為 0 到 550KHz，由圖 13 知當控制電壓約為 0.98V 時，其輸出振盪頻率為 250KHz，圖 14 為 VCO、緩衝器、TSPC 輸出波形圖。

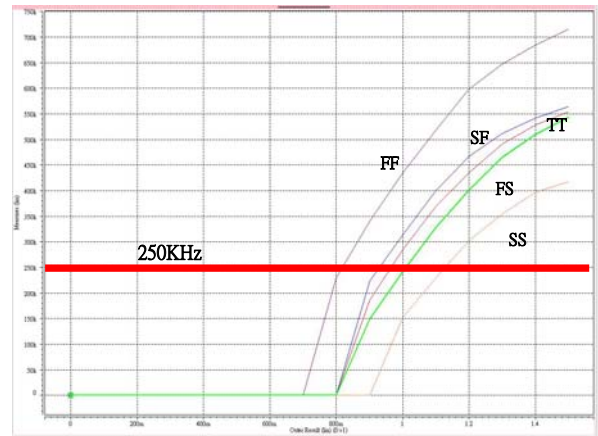


圖 13 VCO、緩衝器、TSPC 五個模式之模擬圖

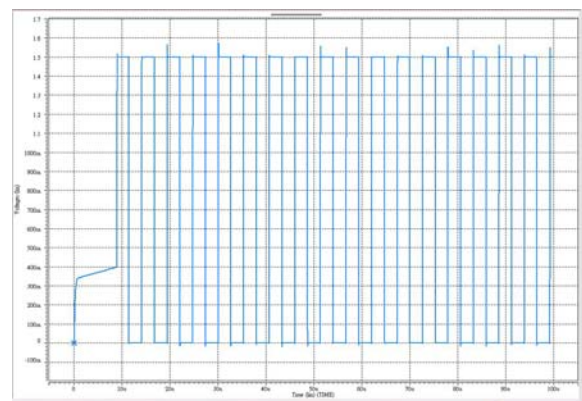


圖 14 VCO、緩衝器、TSPC 輸出波形圖

### 3.3 數位控制電路

數位控制電路由 TSPC 除二電路、兩個 3 位元計數器、3-to-8 位置解碼器、64 位元唯讀記憶體與 8-to-1 多工器的並列轉串列電路組成，如圖 15 所示 [9]。數位控制電路接收到由緩衝器整波後的 500KHz 方波，經由 TSPC 除二電路將頻率降頻成 250KHz 以作為 3 位元計數器\_A 的參考時脈，而 3 位元計數器\_A 的輸出則提供給 8-to-1 多工器與 3 位元計數器\_B；3 位元計數器\_B 配合 3-to-8 位置解碼器控制唯讀記憶體一次選擇一組八位元資料輸出，共輸出 64 位元資料；3 位元計數器\_A 配合 8-to-1 多工器將八組 8 位元並列式資料轉換成一筆 64 位元的串列式資料輸出。64 位元資料以 NOR 型式 8 組 8 位元的唯讀記憶體所組成，此八組資料設定為 01010101、10101010、00001111、11001100、00110011、11011101 與 00100010，其電路如圖 16 所示。圖 17 為 64 位元唯讀記憶體輸出模擬結果。

### 3.4 數位調變電路

ASK 調變使用一個 2-to-1 多工器來實現，如圖 18 所示[8]，將 64 位元串列資料供給傳輸開當時脈使用，振盪器輸出由 osc 點輸入，當所要傳送的資料位元為邏輯 1 時，調變器的輸出是一個 915MHz 的載波，當所要傳送的資料位元為邏輯 0 時，調變器的輸出是 0，圖 19 為調變器的模擬輸出結果。

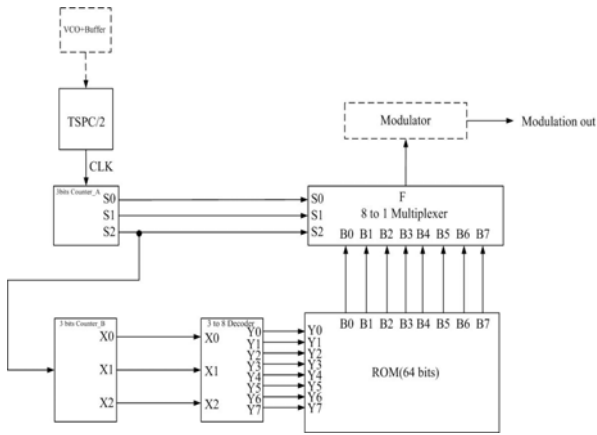


圖 15 數位控制電路之方塊圖

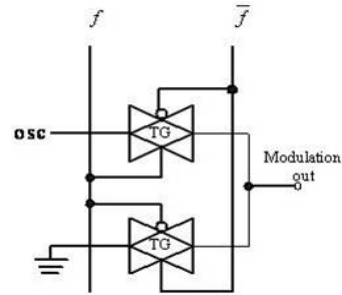


圖 18 調變器

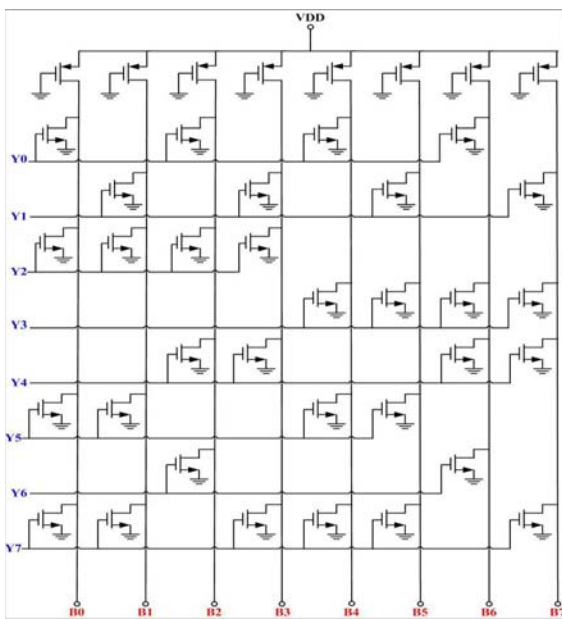


圖 16 64 位元唯讀記憶體之電路圖



圖 19 調變器模擬圖

### 四、結論

本論文針對 915MHz 頻段的 RFID 應用，依據 ISO18000-6 之規範，使用國家晶片系統設計中心(CIC)所提供的 TSMC 0.35 $\mu$ m CMOS 製程，設計一操作於 1.5V 的被動式詢答器，採用 ASK 調變方式，內建 64 位元資料，資料傳送速率則可達到 250Kbps，功率消耗為 1.03mW，如表 3 所列。目前已經完成整體電路設計模擬，正申請晶片下線製作。

表 3 規格列表

Technology	0.35 $\mu$ m 2P4M CMOS
Supply Voltage	1.5V
Operating Frequency	915MHz
Modulation Type	ASK
ID Tag ROM size	64 bits
Power Dissipation	1.03mW

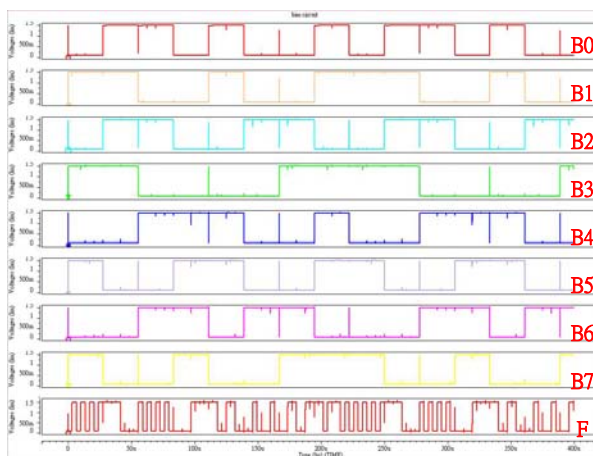


圖 17 64 位元唯讀記憶體模擬圖

**誌謝:** 感謝國家系統與晶片設計中心(CIC)協助晶片之設計。

### 參考文獻

- [1] Jun Yi, Wing-Hung Ki, and Chi-Ying Tsui, "Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications," IEEE Transactions on Circuits and Systems-I: regular Papers, VOL.54, NO.1, JANUARY 2007.
- [2] Yuan Yao, Yin Shi, and Foster. F. Dai, "A Novel Low-Power Input-Independent MOS AC/DC Charge Pump," IEEE International Symposium on Circuits and Systems, 2005, Page(s):380-383 Vol.1.
- [3] Soumyajit Mandal, and Rahul Sarpeshkar, "Low-Power CMOS Rectifier Design for RFID Applications," IEEE Transactions on Circuits and Systems-I: regular Papers, VOL.54, NO.6, June 2007.
- [4] Meng-Lieh Sheu, Ta-Wei Lin, Wei-Hung Hsu, "Wide Frequency Range Voltage Controlled Ring Oscillators based on Transmission Gates," IEEE International Symposium on Circuits and Systems, B2P-S.3, 2005
- [5] Klaus Finkenzeller, RFID Handbook Fundamentals and Application in Contactless Smart Cards and Identification, John Wiley & SON, NEW YORK, 2002.
- [6] J. F. Dickson, "On-chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE Journal of Solid-State Circuits, pp. 374 - 378, 1976.
- [7] 許維庭, "2.45GHz 無線射頻識別系統詢答器之設計," 國立暨南國際大學電機工程學系碩士論文, 2005.
- [8] 范航宇, "使用於 ISM 頻段的被動式 2.45GHz 無線射頻識別系統之詢答器晶片電路設計," 國立暨南國際大學電機工程學系碩士論文, 2006.
- [9] 呂珮華, "操作於 1V 之被動式 2.45GHz 無線射頻識別系統之詢答器設計," 國立暨南國際大學電機工程學系碩士論文, 2007.